

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-179485

(43)Date of publication of application : 27.06.2003

(51)Int.Cl.

H03K 19/173  
G11C 11/42

(21)Application number : 2001-375538

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 10.12.2001

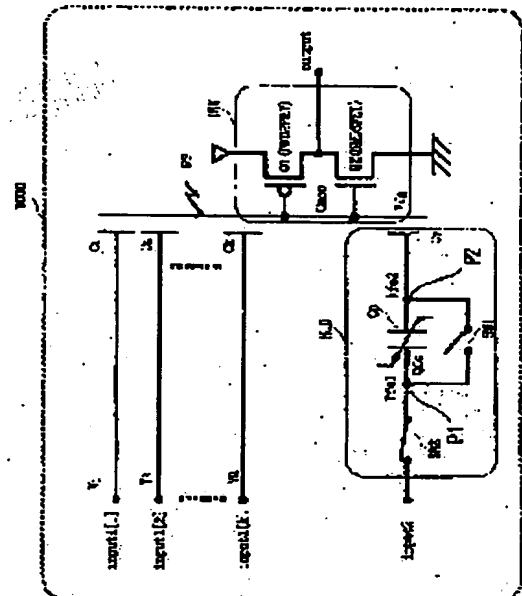
(72)Inventor : AOYAMA KAZUO

(54) VARIABLE THRESHOLD/THRESHOLD ELEMENT CIRCUIT, FUNCTIONAL FUNCTION RECONFIGURABLE INTEGRATED CIRCUIT AND METHOD FOR HOLDING CIRCUIT STATE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the problem of mistakes over aging by holding a threshold in a non-volatile manner.

SOLUTION: Input variable terminal input 1[1] to input 1 [k] are coupled with a floating gate FG of a vMOS inverter INV via paraelectrics C1 to Ck, and a control variable terminal input 2 is coupled via a threshold data holding circuit HLD. The holding circuit HLD has a series connecting circuit of a ferroelectric capacitor Cp and a paraelectric capacitor Cv. In the holding circuit HLD, a first switch SW1 is connected between the terminals P1 and Ps of the capacitor Cp, and a second switch SW2 is connected between the input terminal input 2[1] and the terminal P1 of the ferroelectric capacitor Cp.



## LEGAL STATUS

[Date of request for examination]

03.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

**~~BEST AVAILABLE COPY~~**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-179485  
(P2003-179485A)

(43) 公開日 平成15年6月27日 (2003.6.27)

(51) Int.Cl.<sup>7</sup>  
H03K 19/173  
G11C 11/42

識別記号  
101

F I  
H03K 19/173  
G11C 13/08

テーマコード(参考)

101 5J042

A

審査請求 未請求 請求項の数11 O L (全 20 頁)

(21) 出願番号 特願2001-375538 (P2001-375538)

(22) 出願日 平成13年12月10日 (2001.12.10)

(71) 出願人 000004226

日本電信電話株式会社  
東京都千代田区大手町二丁目3番1号

(72) 発明者 青山 一生

東京都千代田区大手町二丁目3番1号 日  
本電信電話株式会社内

(74) 代理人 100064621

弁理士 山川 政樹

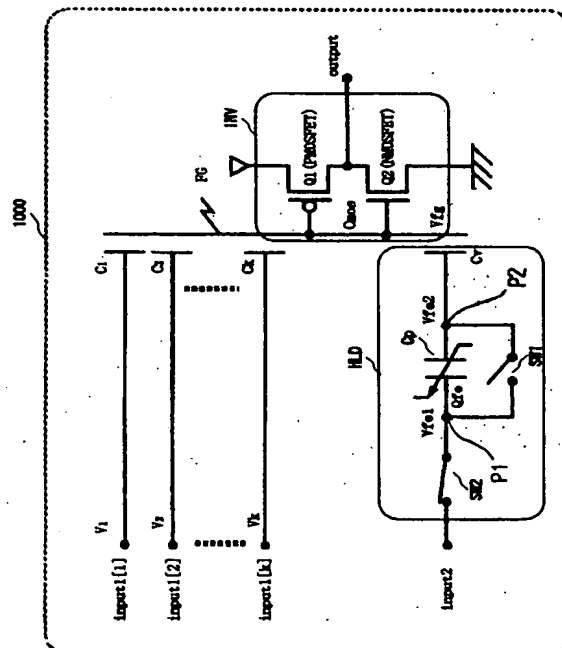
Fターム(参考) 5J042 AA10 BA01 BA04 BA18 CA07  
CA09 CA27 DA03 DA06

(54) 【発明の名称】 可変しきい値しきい素子回路、関数機能再構成可能集積回路および回路状態保持方法

(57) 【要約】

【課題】 しきい値を不揮発的に保持し経時的誤動作の問題を解消する。

【解決手段】  $\nu$ MOSインバータINVのフローティングゲートFGに、入力変数用端子input1[1]～input1[k]を常誘電体容量C<sub>1</sub>～C<sub>k</sub>を介して結合し、制御変数用端子input2をしきい値データ保持回路HLDを介して結合する。しきい値データ保持回路HLDは強誘電体容量C<sub>p</sub>と常誘電体容量C<sub>v</sub>との直列接続回路によって構成する。また、しきい値データ保持回路HLDにおいて、強誘電体容量C<sub>p</sub>の端子P1、P2間に第1のスイッチSW1を接続し、制御変数用入力端子input2[1]と強誘電体容量C<sub>p</sub>の端子P1との間に第2のスイッチSW2を接続する。



## 【特許請求の範囲】

【請求項 1】 電氣的にフローティング状態とされたゲート電極を有し、このゲート電極に与えられる入力変数の状態量が、設定されているしきい値を越えた時に動作するしきい素子と、

このしきい素子のゲート電極に常誘電体容量を介して結合され、前記入力変数を伝搬する第 1～第  $k$  ( $k > 1$ ) の入力変数用端子と、

前記しきい素子のゲート電極に強誘電体容量と常誘電体容量との直列接続回路を介して結合され、前記しきい値を制御する制御変数を伝搬する 1 以上の制御変数用端子とを備えたことを特徴とする可変しきい値しきい素子回路。

【請求項 2】 請求項 1 に記載された可変しきい値しきい素子回路において、

前記直列接続回路における常誘電体容量の一端が前記ゲート電極に接続され、この常誘電体容量の他端が前記強誘電体容量の一端に接続され、

前記強誘電体容量の一端と他端との間に第 1 のスイッチが接続され、

前記強誘電体容量の他端と前記制御変数用端子との間に第 2 のスイッチが接続されていることを特徴とする可変しきい値しきい素子回路。

【請求項 3】 請求項 2 に記載された可変しきい値しきい素子回路において、

前記第 1 のスイッチおよび第 2 のスイッチが電界効果トランジスタによって構成されていることを特徴とする可変しきい値しきい素子回路。

【請求項 4】 請求項 1～3 の何れか 1 項に記載された可変しきい値しきい素子回路において、

前記しきい素子が電界効果トランジスタとされ、この電界効果トランジスタのソース端子およびドレイン端子の何れか一方が電氣的に負荷となる素子を構成要素とする回路に接続されていることを特徴とする可変しきい値しきい素子回路。

【請求項 5】 請求項 4 に記載された可変しきい値しきい素子回路において、

前記電氣的に負荷となる素子が抵抗であることを特徴とする可変しきい値しきい素子回路。

【請求項 6】 請求項 4 に記載された可変しきい値しきい素子回路において、

前記電氣的に負荷となる素子が前記電界効果トランジスタとは電氣的に逆の極性の電荷を輸送する電界効果トランジスタであることを特徴とする可変しきい値しきい素子回路。

【請求項 7】 請求項 1～3 の何れか 1 項に記載された可変しきい値しきい素子回路において、

前記しきい素子が第 1 の電界効果トランジスタとこの第 1 の電界効果トランジスタとは電氣的に逆の極性の電荷を輸送する第 2 の電界効果トランジスタとを構成要素と

するインバータ回路であることを特徴とする可変しきい値しきい素子回路。

【請求項 8】 可変しきい値しきい素子回路を多段接続して構成された関数機能再構成可能集積回路において、多段接続された可変しきい値しきい素子回路の少なくとも 1 つが請求項 1～7 の何れか 1 項に記載された可変しきい値しきい素子回路とされていることを特徴とする関数機能再構成可能集積回路。

【請求項 9】 可変しきい値しきい素子回路を多段接続して構成された関数機能再構成可能集積回路において、複数の可変しきい値しきい素子回路によって初段の可変しきい値しきい素子回路が構成され、

この初段の可変しきい値しきい素子回路の少なくとも 1 つが請求項 1～7 の何れか 1 項に記載された可変しきい値しきい素子回路とされていることを特徴とする関数機能再構成可能集積回路。

【請求項 10】 請求項 1 に記載された可変しきい値しきい素子回路に適用される回路状態保持方法であって、前記制御変数用端子から制御変数を入力する第 1 ステップと、

前記入力変数用端子から入力変数を入力する第 2 ステップと、

この第 2 ステップの後あるいは前記第 1 ステップと第 2 のステップとの間で前記制御変数用端子に入力されている制御変数を取り去る第 3 ステップとを備えたことを特徴とする回路状態保持方法。

【請求項 11】 請求項 2 に記載された可変しきい値しきい素子回路に適用される回路状態保持方法であって、前記第 1 のスイッチを遮断状態にし、前記第 2 のスイッチを導通状態とする第 1 ステップと、

この第 1 ステップの後、前記制御変数用端子から制御変数を入力するとともに、前記入力変数用端子から入力変数を入力する第 2 ステップと、

この第 2 ステップの後、前記第 2 のスイッチを遮断状態にし、前記第 1 のスイッチを導通状態とする第 3 ステップとを備えたことを特徴とする回路状態保持方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、しきい値を不揮発的に保持する機能を有する可変しきい値しきい素子回路、この可変しきい値しきい素子回路を用いて構成され回路作製後であっても関数機能を構成することの可能な関数機能再構成可能集積回路および可変しきい値しきい素子回路に適用される回路状態保持方法に関するものである。

## 【0002】

【従来の技術】CMOSプロセス技術により作製されるしきい素子（非線形素子）として、例えば文献 1（特許第 2662559 号：半導体装置）に開示されたニューロン MOS トランジスタ（ $\nu$ MOS トランジスタ）によ

って構成されたインバータがある。以降、このインバータを $\nu$ MOSインバータと呼ぶ。

【0003】この $\nu$ MOSインバータのしきい値を可変にする回路と方法については、文献2（特開2001-44823号：ニューロンMOS回路における可変閾値生成方法およびその方法を用いたニューロンMOS回路）によって開示されている。

【0004】〔しきい値可変機能を備えたしきい値素子回路（可変しきい値しきい値素子回路）〕図23は、しきい値可変機能を備えたしきい値素子回路（可変しきい値しきい値素子回路）として、典型的な $k$ 入力変数の $\nu$ MOSインバータ回路を示す回路図である。この $\nu$ MOSインバータ回路2300においては、しきい値の可変性を持たない $\nu$ MOSインバータINVの電氣的にフローティング状態とされたゲート電極（以下、フローティングゲートと呼ぶ）FGに、入力変数用の信号入力端子（以下、入力変数用端子と呼ぶ）input1[1]～input1[k]、しきい値を制御する制御変数用の入力端子（以下、制御変数用端子と呼ぶ）input2、電源電位Vddに接続された固定電位端子Pvdd、グラウンド電位に接続された固定電位端子Pgnndを容量結合している。

【0005】 $\nu$ MOSインバータINVのしきい値は、制御変数用端子input2とフローティングゲートFGとの間の容量値 $C_v$ と、固定電位端子PvddとフローティングゲートFGとの間の容量値 $C_{vdd}$ と、固定電位端子PgnndとフローティングゲートFGとの間の容量値 $C_{gnd}$ と、入力変数用端子input1[1]～input1[k]とフローティングゲートFGとの間の容量値 $C_1 \sim C_k$ と、制御変数用入力端子input2に印加する電位 $V_v$ とによって決まる。この $\nu$ MOSインバータ回路2300においては、制御変数用端子input2に印加する電位 $V_v$ を電源電位Vdd（論理値「1」）とするかグラウンド電位（論理値「0」）とするかによって、入力変数の組合せが形成する入力状態上の任意の値に論理しきい値を設定することが可能である。以降、特に他のしきい値と区別する必要のない場合は、論理しきい値をしきい値と略す。

【0006】〔回路状態保持機能を備えた可変しきい値しきい値素子回路〕文献3（特開2001-196920号：関数機能構成データ保持方法及びその方法を用いた集積回路）には、 $\nu$ MOSインバータ回路固有の構造を利用し、設定されたしきい値を保持する方法とその方法を利用した回路構成が開示されている。図24は回路状態保持機能を備えた $k$ 入力変数の $\nu$ MOSインバータ回路の代表的な回路構成を示す図である。

【0007】この $\nu$ MOSインバータ回路2400においては、フローティングゲートFGとグラウンド側の固定電位端子Pgnndとの間に、状態制御端子ctl2からの制御信号によってオン／オフされるNMOS型のパストランジスタswpnを付加している。また、制御変数用端子input2とフローティングゲートFGに容量結合される端子

（以下、この端子を制御変数用入力端子と呼ぶ）input2aとの間にトランスマッションゲートtginを設け、制御変数用入力端子input2aと電源側の固定電位端子Pvddとの間にPMOS型のパストランジスタswpを設けている。また、状態制御端子ctl1とトランスマッションゲートtginとの間にインバータinv1を設けている。トランスマッションゲートtginおよびパストランジスタswpは状態制御端子ctl1からの制御信号によってオン／オフされる。

【0008】このような回路構成とすることにより、制御変数用端子input2に与えられる電位 $V_v$ （以下、この電位 $V_v$ を構成データと呼ぶ）によって選択されるしきい値を設定し、保持することが可能となる。

【0009】〔回路状態保持動作〕図24におけるしきい値の保持動作について簡単に説明する。まず、状態制御端子ctl2を論理値「1」である電源電位にし、パストランジスタswpnを導通させ、フローティングゲートFGの電位をグラウンド電位にする。次に、状態制御端子ctl1を電源電位にし、パストランジスタswpを遮断し、トランスマッションゲートtginを導通させる。この時、入力変数用端子input1[1]～input1[k]から入力される入力変数は全て論理値「0」であるグラウンド電位にする。

【0010】今、第1の状態制御端子ctl1と第2の状態制御端子ctl2とが論理値「1」である時を初期化時と呼ぶ。また、完全フローティングゲートを持つ図23の $\nu$ MOSインバータ回路2300の制御変数用端子input2から論理値「1」が入力された場合のフローティングゲートFGの電位を第1のフローティングゲート電位と呼び、同様に、論理値「0」が入力された場合の電位を第2のフローティングゲート電位と呼ぶ。

【0011】初期化時に前記の操作を行い、制御変数用端子input2に論理値「0」を入力し続ける。この時、フローティングゲートFGに容量結合する制御変数用入力端子input2aには制御変数用端子input2の入力と同様に論理値「0」が与えられる。即ち、フローティングゲートFGがグラウンド電位の時に論理値「0」の入力変数と制御変数とが与えられる。この入力状態を保ったまま、第1の状態制御端子ctl1と第2の状態制御端子ctl2との入力を論理値「1」から論理値「0」に切り替える。第1の状態制御端子ctl1と第2の状態制御端子ctl2とが論理値「0」の時を関数実行時と呼ぶ。

【0012】関数実行時に、パストランジスタswpnが遮断され、フローティングゲートFGは高インピーダンス状態になり、過渡的にはほぼフローティング（電氣的に浮遊状態）になる。同時に、トランスマッションゲートtginは遮断され、パストランジスタswpが導通し、制御変数用入力端子input2aには論理値「1」である電源電位が印加される。このため、フローティングゲートFG上で電荷の再分配が生じ、フローティングゲートF

Gは第1のフローティングゲート電位になる。

【0013】同様に、初期化時に制御変数用端子input2に論理値「1」である電源電位を与えた場合、関数実行時には、初期化時と同じ電源電位が制御変数用入力端子input2aに与えられるために、入力変数が論理値「0」であれば、第2のフローティングゲート電位となる。

【0014】このように、初期化時に制御変数として与える論理値に依存して、関数実行時のフローティングゲート電位が決まる。つまり、初期化時に決定された構成データが関数実行時に保持されることを意味している。この構成データの保持動作とそれに必要な要素を次に述べる。

【0015】初期化時にフローティングゲート電位がグラウンド電位に固定されているために、制御変数である所定の電位が制御変数用入力端子input2aに与えられた時、フローティングゲートFGにグラウンド側から電荷の注入が起こる。

【0016】次に、関数実行時には注入された電荷がフローティングゲートFG中に保持され、入力変数の論理値によって電荷再分配が生じ、フローティングゲート電位が決まる。構成データの保持に必要な要素は2つあり、1つは、フローティングゲートFGに接続されたある端子からの電荷の注入であり、他の1つは、フローティングゲートFGが高インピーダンスの時に、注入された電荷が保持されることである。

【0017】〔関数機能再構成可能集積回路〕文献4

(特開2001-223576号：関数機能再構成可能な集積回路)を参考にして、2入力変数に対する関数機能を再構成することができる回路について述べる。図25は、図24に示した $\nu$ MOSインバータ回路2400を用いた関数機能再構成可能集積回路(2入力変数可変関数回路)を示す図である。この2入力変数可変関数回路は、2段論理フィードフォワード型回路であり、1段目は3つの $\nu$ MOSインバータ回路FTE[1]、FTE[2]、FTE[3]によって構成され、2段目は1つの $\nu$ MOSインバータ回路STEによって構成されている。

【0018】この2入力変数可変関数回路2500において、2つの入力変数は、入力変数用端子input1

[1]、input1[2]から1段目の $\nu$ MOSインバータ回路FTE[1]、FTE[2]、FTE[3]のフローティングゲートFG[1]、FG[2]、FG

[3]、および2段目の $\nu$ MOSインバータ回路STEのフローティングゲートFG[S]に与えられ、1段目の $\nu$ MOSインバータ回路FTE[1]、FTE

[2]、FTE[3]の出力値はバッファBF[1]、BF[2]、BF[3]により増幅および波形整形され、2段目の $\nu$ MOSインバータ回路STEのフローティングゲートFG[S]に与えられる。

【0019】なお、1段目の $\nu$ MOSインバータ回路F

TE[1]、FTE[2]、FTE[3]と2段目の $\nu$ MOSインバータ回路STEとの間には、STEのフローティングゲートFG[S]を初期化する際に全ての入力信号をグラウンド電位にするために、トランスマッションゲートtgs1、tgs2、tgs3とバストランジスタsw1、sw2、sw3が挿入されている。

【0020】また、FTE[1]、FTE[2]、FTE[3]、STEにおいて、各入力変数用端子とフローティングゲートとの間の容量値は等しく設定されている。また、STEにおいては、FTE[1]、FTE[2]、FTE[3]の出力値が与えられる端子とフローティングゲートとの間の容量値は、入力変数が与えられる端子とフローティングゲートとの間の容量値と等しく設定されている。この設定によって、STEの入力状態、即ち、入力変数と重みとの積和は、「0」。

「1」、「2」の3つになる。この入力状態に対応する数を入力変数の状態数(入力状態数)と呼ぶ。また、この入力変数の状態数の上位の言葉として、入力変数の状態量(入力状態量)を用いる。

【0021】FTE[1]を例にとると、FTE[1]とSTEとの間には、STEのフローティングゲートFG[S]を初期化する際に全ての入力端子の入力信号をグラウンド電位にするために、トランスマッションゲートtgs1とバストランジスタsw1が挿入されている。FTE[2]、FTE[3]についても同様である。STEにも、FTE[1]、FTE[2]、FTE[3]と同様に初期化時と関数実行時の2つの期間を用いる。

【0022】初期化時には、第1の状態制御用端子ctl1と第2の状態制御用端子ctl2とに論理値「1」を与え、フローティングゲートFG[S]に接続されたバストランジスタswsを導通させる。同時に、トランスマッションゲートtgs1が遮断され、バストランジスタsw1が導通し、バッファBF[1]を介して、論理値「0」であるグラウンド電位が容量結合されたフローティングゲートFG[S]に与えられる。また、入力変数として論理値「0」を与える場合、全ての入力が論理値「0」である。この状態を保ったままで、第1の状態制御用端子ctl1と第2の状態制御用端子ctl2とに論理値「1」を与えることで、関数実行時の状態を形成できる。

【0023】次に、可変しきい値によって任意の関数が実現可能であることをXOR(Exclusive-OR)を実現する場合を例に取り、説明する。FTE[1]、FTE[2]、FTE[3]のしきい値は、各々入力状態数0の前後、1の前後、2の前後の2つのしきい値のいずれか一方を選択できるように設定できる。FTE[1]、FTE[2]、FTE[3]において、初期化時に制御変数として論理値「0」を与えた場合に小さい方のしきい値を選択でき、逆に論理値「1」を与えた場合に大きい方のしきい値が選択される。

【0024】FTE[1]のしきい値として、入力状態



数0より大きく1より小さい値を選択し、FTE〔2〕のしきい値として、入力状態数1より小さく0より大きい値を選択し、FTE〔3〕のしきい値として、入力状態数2より大きい値を選択する。この時、FTE〔1〕の出力の論理値は、入力状態数0, 1, 2に対して「1」, 「0」, 「0」であり、FTE〔2〕の出力の論理値は、入力状態数0, 1, 2に対して「1」, 「0」, 「0」であり、FTE〔3〕の出力の論理値は、入力状態数0, 1, 2に対して「1」, 「1」, 「1」である。

【0025】入力状態数が0, 1, 2の各々の場合、STEの5つの入力端子中、論理値「1」である端子の数は、各々3, 2, 3となる。STEの出力値は入力の多数決の結果の論理反転であるから、入力状態数0, 1, 2に対して出力値は「0」, 「1」, 「0」となり、XORを実現している。これは、各入力状態数の前後にしきい値を持つFTE、入力状態数が0であればFTE〔1〕、入力状態数が1であればFTE〔2〕、入力状態数が2であればFTE〔3〕について、初期化時に制御変数として与えた論理値の論理反転が出力されることを意味している。

【0026】上述したXORの実現例で分かるように、図25に示した2入力変数可変関数回路2500によれば、FTE〔1〕, FTE〔2〕, FTE〔3〕, STEのフローティングゲートFG〔1〕, FG〔2〕, FG〔3〕, FG〔S〕を初期化する期間に制御変数用端子input2〔1〕～input2〔3〕に入力されている構成データによって決定される回路の状態を保持することによって、任意の対称関数を実現できる。

【0027】但し、対称関数とは、AND, OR, NAND, NOR, XOR, XNOR, 0, 1関数に代表されるように、関数値が入力状態数によって規定される論理関数であり、変数を相互に入れ換えても関数値が不変であるという特徴を持つ。

【0028】

【発明が解決しようとする課題】〔回路状態保持可能な機能を備えた可変しきい値しきい素子回路の問題点〕図24に示された $\nu$ MOSインバータ回路2400において、回路状態を保持するために必要な2つの要素は、すなわちフローティングゲートFGへの電荷の注入と注入された電荷の保持は、フローティングゲートFGに接続されるスイッチであるパストランジスタ $s_{wn}$ を操作することによって達成される。

【0029】しかしながら、パストランジスタ $s_{wn}$ は状態制御端子 $ct12$ が論理値「0」のグランド電位であっても、サブスレッショレド電流と、ドレイン端子と基板（またはウェル）との間にあるPN接合逆飽和電流という2つのリーク電流を持つ。このため、フローティングゲートFGに保持されている電荷量は経時変化する。そして、この変化はしきい値を他の値に変える。即ち、保

持される状態は揮発性であり、しきい値も揮発性である。しきい値の揮発性は $\nu$ MOSインバータINVの経時的誤動作という問題を引き起こす。

【0030】〔関数機能再構成可能集積回路の問題点〕図25に示された2入力変数可変関数回路2500において、実現される関数機能は、初期化時にFTE

〔1〕, FTE〔2〕, FTE〔3〕に入力される制御変数の論理値によって定まるしきい値によって決められている。このしきい値の保持状態は上述したように経時変化を起こす。このために、2入力変数可変関数回路2500においては、時間経過に伴い実現される関数が変化し、当初実現していた機能の実現ができなくなるという問題、つまり、経時的誤動作の問題が起きる。

【0031】本発明はこのような課題を解決するためになされたもので、その目的とするところは、しきい値を不揮発的に保持し、経時的誤動作の問題を解消することの可能な可変しきい値しきい素子回路、この可変しきい値しきい素子回路における回路状態保持方法、この可変しきい値しきい素子回路を用いた関数機能再構成可能集積回路を提供することにある。

【0032】

【課題を解決するための手段】このような目的を達成するために、本発明の可変しきい値しきい素子回路は、強誘電体容量と常誘電体容量との直列接続回路を介して、しきい値を制御する制御変数を伝搬する1以上の制御変数用端子をしきい素子のゲート電極に結合したものである（第1発明）。この場合、回路状態保持方法（第10発明）として、制御変数用端子から制御変数を入力し

（第1ステップ）、入力変数用端子から入力変数を入力し（第2ステップ）、制御変数用端子に入力されている制御変数を取り去る（第3ステップ）。なお、第1のステップと第2のステップとの間で、制御変数用端子に入力されている制御変数を取り去るようにしてもよい。

【0033】強誘電体容量は、制御変数を取り去られた後も、すなわち入力電位が消失した後も、自発分極のために電荷量を保持する。これにより、しきい素子のゲート電極に容量結合された各端子の電位に依存して、ゲート電極上の電荷再配分が行われ、ゲート電極の電位が決まり、しきい素子のしきい値が保持される。例えば、しきい素子を電界効果トランジスタとした場合、入力変数の状態量に対する電界効果トランジスタトランジスタのオン／オフ動作の切替点（トランジスタしきい値）が保持される。また、しきい素子を $\nu$ MOSインバータとした場合、入力変数の状態量に対する $\nu$ MOSインバータの論理反転動作の切替点（論理しきい値）が保持される。

【0034】また、本発明の可変しきい値しきい素子回路は、上記直列接続回路における常誘電体容量の一端をゲート電極に接続し、常誘電体容量の他端を強誘電体容量の一端に接続し、強誘電体容量の一端と他端との間に

第1のスイッチを接続し、強誘電体容量の他端と制御変数端子との間に第2のスイッチを接続したものである(第2発明)。この場合、回路状態保持方法(第11発明)として、第1のスイッチを遮断状態にし、第2のスイッチを導通状態とし(第1ステップ)、この第1ステップの実行後、制御変数端子から制御変数を入力するとともに、入力変数端子から入力変数を入力し(第3ステップ:しきい値設定期間)、この第2ステップの実行後、第2のスイッチを遮断状態にし、第1のスイッチを導通状態とする(第3ステップ:しきい値保持期間)。

【0035】強誘電体容量は、第2のスイッチが遮断された後も、すなわち制御変数入力端子からの強誘電体容量への制御変数が取り去られた後も、自発分極のために電荷量を保持する。しきい値保持期間においては、第1のスイッチが導通状態であり、残留分極による電荷量を不揮発的に保持する。また、強誘電体容量は常誘電体容量と直列接続されているために、強誘電体容量に保持される電荷量と同等の電荷量が常誘電体容量にも誘起される。これにより、しきい素子のゲート電極に容量結合された各端子の電位に依存して、ゲート電極上の電荷再配分が行われ、ゲート電極の電位が決まり、しきい素子のしきい値が保持される。

【0036】また、本発明の関数機能再構成可能集積回路(第8発明)は、多段接続された可変しきい値しきい素子回路の少なくとも1つを本発明の可変しきい値しきい素子回路としたものである。例えば、可変しきい値しきい素子回路を2段接続して構成し、1段目の可変しきい値しきい素子回路を、その第1~第kの入力変数端子が共通に接続された複数の可変しきい値しきい素子回路により構成し、2段目の可変しきい値しきい素子回路を、1つの可変しきい値しきい素子回路により構成し、この可変しきい値しきい素子回路の第1~第kの入力変数端子を1段目の各可変しきい値しきい素子回路の第1~第kの入力変数端子と共通に接続し、1段目の各可変しきい値しきい素子回路からの出力信号を2段目の可変しきい値しきい素子回路のゲート電極に容量結合された各入力端子に与える構造とする。このような構造において、例えば初段の可変しきい値しきい素子回路に、上述した本発明の可変しきい値しきい素子回路を用いる(第9発明)。

【0037】本発明の可変しきい値しきい素子回路において、しきい素子は、種々のタイプのものが考えられる。例えば、しきい素子として電界効果トランジスタを使用し、この電界効果トランジスタのソース端子およびドレイン端子の何れか一方を電気的に負荷となる素子を構成要素とする回路に接続する(第4発明)。この場合、電気的に負荷となる素子は、抵抗としてもよく(第5発明)、前記電界効果トランジスタとは電気的に逆の極性の電荷を輸送する電界効果トランジスタとしてもよ

い(第6発明)。また、しきい素子を第1の電界効果トランジスタとこの第1の電界効果トランジスタとは電気的に逆の極性の電荷を輸送する第2の電界効果トランジスタとを構成要素とするインバータ回路としてもよい(第7発明)。

第8発明や第9発明の関数機能再構成可能集積回路では、これらの可変しきい値しきい素子回路のうち少なくとも1つが使用されていればよく、またこれらの可変しきい値しきい素子回路を組み合わせることで構成されたものでもよい。

#### 【0038】

【発明の実施の形態】〔強誘電体メモリ〕まず、本発明の実施の形態の説明に入る前に、強誘電体メモリおよびMFIS型電界効果トランジスタについて説明する。現在、DRAM、SRAM、フラッシュメモリ、強誘電体メモリ(FeRAM)などが研究開発されている。DRAMは大容量と中程度の速度でのデータの書き換えに特徴があり、SRAMは中程度のメモリ容量と高速でのデータの書き換えに特徴があるが、双方共に揮発性である。フラッシュメモリは、書き込みとデータ消去において低速動作であるが、不揮発性である。

【0039】一方、強誘電体メモリは、PZT( $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ )やSBT( $\text{SbBi}_2\text{Ta}_2\text{O}_9$ )に代表される強誘電体材料の持つ分極特性を応用しているため、不揮発性であり、かつ、データの書き換えもDRAM相当の速度で可能である。更に、強誘電体メモリは、CMOSプロセス技術に強誘電体容量を形成するための層を追加するだけで製造でき、標準CMOSプロセスとの整合性も良い。図1は、強誘電体メモリに用いられている強誘電体容量100を表す回路図である。

強誘電体容量100の一方の端子101と他方の端子102との間には所定の電圧Vが印加され、端子102が高電位である時を正の印加電圧とする。

【0040】図2は、端子101、102間に電圧Vが印加された時の電圧Vと電荷量Qの関係を表す図である。図2中の $V_c$ は抗電圧を表し、 $Q_r$ は残留分極による電荷量を表している。端子101と端子102との間の電圧が0であっても、両端子には $Q_r$ が残る。2値を保持するメモリ機能はこの2つの状態を用いている。この自発分極の双安定性を利用し、データの揮発性と高速書き換えが可能という特徴を持つ強誘電体メモリの研究開発が近年精力的に進められている。

【0041】〔MFIS型電界効果トランジスタ〕強誘電体メモリに使用される強誘電体容量としては、Ptに代表される金属電極または、 $\text{IrO}_2$ や $\text{SrRuO}_3$ (SRO)に代表される酸化物電極に、強誘電体材料を挟むプレーナ型やスタック型がある。また、別な構造としては、金属/強誘電体/シリコン(MFS)型、金属/強誘電体/絶縁体/シリコン(MFIS)型、金属/強誘電体/金属/絶縁体/シリコン(MFMIS)型も提案されている。

【0042】図3は、文献5（特開平11-177038号：MFMISS型強誘電体記憶素子とその製造方法）に開示されているMFMISS型の強誘電体容量を持つ電界効果トランジスタを表す回路図である。この回路はMOSトランジスタ300の常誘電体材料で形成されるゲート酸化膜301の上方の金属（またはPoly-Si）電極端子302にMFMISS型の強誘電体容量303を直列接続した構造である。

【0043】図4は、文献6（特開2000-349251号：半導体装置）に開示されているMFMISS型の強誘電体容量を持つ電界効果トランジスタを表す回路図である。この回路は、標準的な電界効果トランジスタ400の入力ゲート401に、MFMISS型の強誘電体容量402の一方の端子と常誘電体容量403の一方の端子とを接続した構造を有する。すなわち、この回路では、入力ゲート401に強誘電体容量402と常誘電体容量403とが並列に接続されている。

【0044】図5は、文献7（特開2000-138351号：強誘電体不揮発性メモリとその読み出し方法）に開示されているMFMISS型の強誘電体容量を持つ電界効果トランジスタを表す回路図である。この回路は、標準的な電界効果トランジスタ501の入力ゲート502に、残留分極のほぼ等しいMFMISS型の強誘電体容量503と504とを並列に接続した構造を有する。

【0045】以上、強誘電体容量を有する3つのMFMISS型電界効果トランジスタの回路構造を示したが、後述する本発明の実施の形態では、これらの何れのタイプでもない強誘電体容量を有するMFMISS型電界効果トランジスタを用いる。図6に本発明の実施の形態において用いる強誘電体容量を有するMFMISS型電界効果トランジスタの回路図を示す。この回路は、標準的な電界効果トランジスタ601の入力ゲートに、常誘電体容量601とMFMISS型の強誘電体容量603とを直列に接続した構造を有する。すなわち、常誘電体容量601の一方の端子を電界効果トランジスタ600の入力ゲート602に接続し、常誘電体容量601の他方の端子と強誘電体容量603の一方の端子とを接続した構造としている。

【0046】【実施の形態1：容量結合入力型電界効果トランジスタ】図7は本発明に係る可変しきい値しきい素子回路の一実施の形態を示す容量結合入力型電界効果トランジスタの回路図である。この容量結合入力型電界効果トランジスタ700においては、電界効果トランジスタ701のゲート電極702に、入力変数用端子input1〔1〕～input1〔k〕を常誘電体容量703<sub>1</sub>～703<sub>k</sub>を介して接続し、制御変数用端子input2〔1〕～input2〔m〕をしきい値データ保持回路704<sub>1</sub>～704<sub>m</sub>を介して接続している。

【0047】しきい値データ保持回路704<sub>1</sub>は、常誘電体容量705<sub>1</sub>とMFMISS型の強誘電体容量706

1との直列接続回路とされ、常誘電体容量705<sub>1</sub>の一方の端子が電界効果トランジスタ701のゲート電極702に接続されており、常誘電体容量705<sub>1</sub>の他方の端子が強誘電体容量706<sub>1</sub>の一方の端子に接続され、強誘電体容量706<sub>1</sub>の他方の端子が制御変数用端子input2〔1〕に接続されている。他のしきい値データ保持回路も同様の構成とされている。

【0048】この容量結合入力型電界効果トランジスタ700では、第1ステップとして、制御変数用端子input2〔1〕～input2〔m〕から制御変数を入力し、第2ステップとして、入力変数用端子input1〔1〕～input1〔k〕から入力変数を入力する。第3ステップとして、制御変数用端子input2〔1〕～input2〔m〕に入力されている制御変数を取り去る。なお、第1ステップと第2ステップとの間で、制御変数用端子input2〔1〕～input2〔m〕に入力されている制御変数を取り去るようにしてもよい。

【0049】しきい値データ保持回路704<sub>1</sub>～704<sub>m</sub>において、強誘電体容量706<sub>1</sub>～706<sub>m</sub>は、制御変数が取り去られた後も、すなわち入力電位が消失した後も、自発分極のために電荷量を保持する。これにより、電界効果トランジスタ701のゲート電極702に容量結合された各端子の電位に依存して、ゲート電極702上の電荷再配分が行われ、ゲート電極702の電位が決まり、入力変数の状態数（入力変数の状態量）に対する電界効果トランジスタ701のオン／オフ動作の切替点（トランジスタしきい値）が保持される。この電界効果トランジスタ701のトランジスタしきい値は、制御変数用端子input2〔1〕～input2〔m〕への制御変数の組合せによって、任意の値に設定することが可能である。

【0050】【実施の形態2：容量結合入力型電界効果トランジスタを用いた $\nu$ MOSインバータ回路の基本構成】図8は図7に示した容量結合入力型電界効果トランジスタ700を用いた $\nu$ MOSインバータ回路の基本構成を示す回路構成図である。この $\nu$ MOSインバータ回路800においては、 $\nu$ MOSインバータINVのフローティングゲートFGに、入力変数用端子input1〔1〕～input1〔k〕を常誘電体容量C<sub>i1</sub>～C<sub>ik</sub>を介して結合し、制御変数用端子input2〔1〕～input2〔m〕をしきい値データ保持回路HLD<sub>1</sub>～HLD<sub>m</sub>を介して結合している。しきい値データ保持回路HLD<sub>1</sub>は強誘電体容量C<sub>pi</sub>と常誘電体容量C<sub>vi</sub>との直列接続回路によって構成されている。他のしきい値データ保持回路も同様に構成されている。

【0051】この $\nu$ MOSインバータ回路800では、第1ステップとして、制御変数用端子input2〔1〕～input2〔m〕から制御変数を入力し、第2ステップとして、入力変数用端子input1〔1〕～input1〔k〕から入力変数を入力する。そして、第3ステップとして、制御

変数用端子input2〔1〕～input2〔m〕に入力されている制御変数を取り去る。なお、第1ステップと第2ステップとの間で、制御変数用端子input2〔1〕～input2〔m〕に入力されている制御変数を取り去るようにしてもよい。

【0052】しきい値データ保持回路HLD<sub>i</sub>～HLD<sub>m</sub>において、強誘電体容量C<sub>pl</sub>～C<sub>pm</sub>は、制御変数を取り去られた後も、すなわち入力電位が消失した後も、自発分極のために電荷量を保持する。これにより、フローティングゲートFGに容量結合された各端子の電位に依存して、フローティングゲートFG上の電荷再配分が行われ、フローティングゲートFGの電位が決まり、入力変数の状態数（入力変数の状態量）に対する $\nu$ MOSインバータINVの論理反転動作の切替点（理しきい値）が保持される。この $\nu$ MOSインバータINVの論理しきい値は、制御変数用端子input2〔1〕～input2〔m〕への制御変数の組合せによって、任意の値に設定することが可能である。

【0053】〔実施の形態3：スイッチを有する容量結合入力型電界効果トランジスタ〕図9はスイッチを有する容量結合入力型電界効果トランジスタの回路図である。図7に示された回路700とはしきい値データ保持回路904<sub>i</sub>～904<sub>m</sub>の構成が異なっている。しきい値データ保持回路904<sub>i</sub>を代表して説明すると、常誘電体容量905<sub>i</sub>と強誘電体容量906<sub>i</sub>とが直列接続されている点は同じであるが、強誘電体容量906<sub>i</sub>の両端子P<sub>a</sub>、P<sub>b</sub>間にこの端子P<sub>a</sub>、P<sub>b</sub>間を導通または遮断する第1のスイッチ908<sub>i</sub>が接続されており、制御変数用入力端子input2〔1〕と強誘電体容量906<sub>i</sub>の端子P<sub>b</sub>との間に第2のスイッチ907<sub>i</sub>が接続されている点が異なっている。他のしきい値データ保持回路も同様の構成とされている。

【0054】この容量結合入力型電界効果トランジスタ900では、第1ステップとして、第1のスイッチ908<sub>i</sub>～908<sub>m</sub>を遮断状態にし、第2のスイッチ907<sub>i</sub>～907<sub>m</sub>を導通状態にする。第2ステップとして、制御変数用端子input2〔1〕～input2〔m〕から制御変数を入力し、入力変数用端子input1〔1〕～input1〔k〕から入力変数を入力する。第3ステップとして、第2のスイッチ907<sub>i</sub>～907<sub>m</sub>を遮断し、第1のスイッチ908<sub>i</sub>～908<sub>m</sub>を導通状態にする。

【0055】しきい値データ保持回路904<sub>i</sub>～904<sub>m</sub>において、強誘電体容量906<sub>i</sub>～906<sub>m</sub>は、第2のスイッチ907<sub>i</sub>～907<sub>m</sub>が遮断された後も、すなわち制御変数用入力端子input2〔1〕～input2〔m〕からの強誘電体容量906<sub>i</sub>～906<sub>m</sub>への制御変数を取り去られた後も、自発分極のために電荷量を保持する。これにより、電界効果トランジスタ901のゲート電極902に容量結合された各端子の電位に依存して、ゲート電極902上の電荷再配分が行われ、ゲート電極90

2の電位が決まり、入力変数の状態数（入力変数の状態量）に対する電界効果トランジスタ901のオン/オフ動作の切替点（トランジスタしきい値）が保持される。この電界効果トランジスタ901のトランジスタしきい値は、制御変数用端子input2〔1〕～input2〔m〕への制御変数の組合せによって、任意の値に設定することが可能である。

【0056】〔実施の形態4：スイッチを有する容量結合入力型電界効果トランジスタを用いた $\nu$ MOSインバータ回路の基本構成〕図10は図9に示したスイッチを有する容量結合入力型電界効果トランジスタ900を用いた $\nu$ MOSインバータ回路の基本構成を示す回路構成図である。この $\nu$ MOSインバータ回路1000においては、 $\nu$ MOSインバータINVのフローティングゲートFGに、入力変数用端子input1〔1〕～input1〔k〕を常誘電体容量C<sub>i</sub>～C<sub>k</sub>を介して結合し、制御変数用端子input2をしきい値データ保持回路HLDを介して結合している。しきい値データ保持回路HLDは強誘電体容量C<sub>p</sub>と常誘電体容量C<sub>v</sub>との直列接続回路によって構成されている。また、しきい値データ保持回路HLDにおいて、強誘電体容量C<sub>p</sub>の端子P<sub>1</sub>、P<sub>2</sub>間にこの端子P<sub>1</sub>、P<sub>2</sub>間を導通または遮断する第1のスイッチSW1を接続しており、制御変数用入力端子input2〔1〕と強誘電体容量C<sub>p</sub>の端子P<sub>1</sub>との間に第2のスイッチSW2を接続している。

【0057】なお、図10において、 $\nu$ MOSインバータINVは、可変しきい値しきい素子回路におけるしきい処理を行う非線形回路であり、フローティングゲートFGの電位がある論理しきい値より大きくなると論理反転を起こす。この例では、非線形回路としてpチャネル電界効果トランジスタ（PMOSFET）Q1とnチャネル電界効果トランジスタ（NMOSFET）Q2とからなる $\nu$ MOSインバータを用いたが、例えば図11

（a）、（b）や図12（a）、（b）に示すような回路構成としてもよい。

【0058】図11（a）は、nチャネル電界効果トランジスタQ2に負荷インピーダンス素子Z<sub>i</sub>を接続した構成であり、図11（b）は、pチャネル電界効果トランジスタQ1に負荷インピーダンス素子Z<sub>i</sub>を接続した構成である。図12（a）は、nチャネル電界効果トランジスタQ2に負荷インピーダンスZ<sub>i</sub>に代えて抵抗Rを接続した構成であり、12（b）は、nチャネル電界効果トランジスタQ2に負荷インピーダンスZ<sub>i</sub>に代えてpチャネル電界効果トランジスタQ1を接続した構成である。図12（b）において、pチャネル電界効果トランジスタQ1とnチャネル電界効果トランジスタQ2とを入れ換えてもよい。このような回路構成としても、図10に示した $\nu$ MOSインバータ回路INVと同様に、しきい処理回路動作をし、しきい素子回路として用いることが可能である。

【0059】初期設定 図19に示したvMOSインバート回路100.0において、スイッチSW2が接続状態であり、スイッチSW1が遮断状態である場合、強誘電体容量 $C_p$ の電極である一方側の端子P1に現れる電荷量 $Q_{fe}$ と、一方の端子P1の電位 $V_{fe1}$ と他方の端子P2の電位 $V_{fe2}$ との関係は次のように導かれる。

【0060】まず、入力変数用端子input1[1]～input1[k]の電位を順に $V_1, V_2, \dots, V_k$ とし、制御変数用端子input2の電位を $V_{fe1}$ 、端子P2の電位を $V_{fe2}$ とし、フローティングゲートFGの電位を $V_{fg}$ とする。そして、入力変数用端子input1[1]～input1[k]とフローティングゲートFGとの間の容量の値を順に $C_1, C_2, \dots, C_k$ とする。また、端子P2とフローティングゲートFGとの間の容量値を $C_v$ とし、フローティングゲートFGと電界効果トランジ

$$Q_{fe} = C_v \cdot (V_{fe2} - V_{fg}) = C_v \cdot \{-(V_{fe1} - V_{fe2}) + (V_{fe1} - V_{fg})\} \dots (1)$$

【0063】次に、フローティングゲートFGの電荷量保存に着目する。前述同様、フローティングゲートFGの初期電荷量は0であるとする。

$$\sum_{i=1}^k C_i \cdot (V_{fg} - V_i) + C_v \cdot (V_{fg} - V_{fe2}) + C_{mos} \cdot V_{fg} = 0 \dots (2)$$

【0065】式(2)に、 $\sum C_i \gg C_{mos}$ の関係を適用し、 $V_{fg}$ について解くと次式を得る。

$$V_{fg} = \frac{C_v \cdot V_{fe2} + \sum_{i=1}^k C_i \cdot V_i}{C_v + \sum_{i=1}^k C_i} \dots (3)$$

【0067】式(1)と式(3)とから、 $Q_{fe}$ と $(V_{fe1} - V_{fe2})$ との関係は次式になる。

$$Q_{fe} = -\frac{C_v \sum_{i=1}^k C_i}{C_v + \sum_{i=1}^k C_i} \cdot (V_{fe1} - V_{fe2}) + \frac{C_v}{C_v + \sum_{i=1}^k C_i} \cdot \left( V_{fe1} \sum_{i=1}^k C_i - \sum_{i=1}^k C_i \cdot V_i \right) \dots (4)$$

【0069】今、電源電位を $V_{dd}$ 、グランド電位を0とする。全ての入力変数用端子input1について $V_i = 0$ 、 $V_{fe1} = 0$ である場合を(I)とし、全ての入力変数用端子input1について $V_i = 0$ 、 $V_{fe1} = V_{dd}$ である場合を(II)とし、全ての入力変数用端子input1について $V_i = V_{dd}$ 、 $V_{fe1} = 0$ である場合を(III)とし、全ての入力変数用端子input1について $V_i = V_{dd}$ 、 $V_{fe1} = V_{dd}$ である場合を(IV)とする。

【0070】図13において、前述の(I)と(III)との場合は、原点を通り、傾きが $-C_v \sum C_i / (C_v + \sum C_i)$ である直線である。また、(II)の場合は、ヒステリシスループと各容量値との関係で図13のA0点を交点とすることが可能である。また、(IV)の場合

スタQ1およびQ2の各端子との間の容量値を総じて $C_{mos}$ とする。また、 $C_{mos}$ は $\sum C_i = C_1 + C_2 + \dots + C_k$ に比べて非常に小さく無視でき、また、この仮の容量 $C_{mos}$ はフローティングゲートFGとグランドとの間に存在すると仮定する。

【0061】図13は、強誘電体容量 $C_p$ の一方の端子P1に現れる電荷量 $Q_{fe}$ と強誘電体容量 $C_p$ を挟む両端の電圧 $(V_{fe1} - V_{fe2})$ との関係を表す図である。また、端子P2において初期電荷量を0とすると、電荷保存則より、常誘電体容量 $C_v$ の端子P2側にも $Q_{fe}$ の電荷量が誘起される。従って、常誘電体容量 $C_v$ に関して次式が成り立つ。

【0062】

【数1】

【0064】

【数2】

【0066】

【数3】

【0068】

【数4】

は、(II)と同様にB0点を交点とすることができる。前記(II)と(IV)の場合を2つの初期設定とする。

【0071】[しきい値の保持方法] 上述した初期設定の後に、図10のスイッチSW2を遮断状態にし、スイッチSW1を導通状態にする。これにより、端子P1と端子P2とは同電位になり、 $(V_{fe1} - V_{fe2}) = 0$ となる。これによって、初期設定でA0点であった場合はA1点に移行し、B0点であった場合はB1点に移行する。この操作によって、A1点、B1点で各々残留分極による電荷量 $Q_{A1}$ 、 $Q_{B1}$ が不揮発的に保持される。

【0072】強誘電体容量 $C_p$ の端子P1に $Q_{A1}$ または、 $Q_{B1}$ の電荷量が現れる時、常誘電体容量 $C_v$ の端子P2には逆極性の同電荷量が現れる。図14は、図10

中のフローティングゲートFGの電位 $V_{fg}$ と、入力変数用端子 $input1[1] \sim input1[k]$ に入力される電位 $V_i$ と容量値 $C_i$ との積和との関係を表す図である。また、図14中の $C_{sum}$ は $\sum C_i$ を意味し、 $V_{dd}/2$ は電源電位の $(1/2)$ の電位を意味する。

【0073】フローティングゲートFGからみた場合、後に続く $\nu$ MOSインバータINVが論理的に反転するか否かは $\nu$ MOSインバータINVを構成するpチャネル電界効果トランジスタQ1とnチャネル電界効果トラ

$$V_{fg} = \frac{\sum_{i=1}^k C_i \cdot V_i}{C_{sum}} + \frac{Q_{A1}}{C_{sum}} \dots\dots (5)$$

$$V_{fg} = \frac{\sum_{i=1}^k C_i \cdot V_i}{C_{sum}} + \frac{Q_{B1}}{C_{sum}} \dots\dots (6)$$

【0075】式(5)と式(6)と、 $V_{dd}/2$ との交点の $\sum C_i \cdot V_i$ 座標は各々 $\alpha_A$ と $\alpha_B$ となる。式(5)が成立している場合、入力変数の物理的表現である $V_i$ の或組合せの時にその積和値が初めて $\alpha_A$ を越えた時、図10の $\nu$ MOSインバータINVは論理反転を起こす。また、式(6)が成立している場合は、入力変数の物理的表現である $V_i$ の或組合せの時にその積和値が初めて $\alpha_B$ を越えた時、図10の $\nu$ MOSインバータINVは論理反転を起こす。このように、入力変数からみたしきい値を可変にし、かつ、そのしきい値を不揮発的に保持することが可能である。

【0076】次に、論理回路としての動作を明確にするために、図14の変数を変更する。まず、簡単化のために図10の $\nu$ MOSインバータ回路1000において、入力変数用端子 $input1[1] \sim input1[k]$ とフローティングゲートFGとの間の容量値を全て等しく $C$ にする。しきい値素子において入力変数の重みを等しくすることは、入力変数によって形成される状態の数、即ち、入力状態数が $(k+1)$ 個であり、対称関数を表すことを意味する。

【0077】対称関数でない論理関数を表現するために

$$U_{fg} = \frac{1}{k} \cdot Z + U_{A1} \dots\dots (7)$$

$$U_{fg} = \frac{1}{k} \cdot Z + U_{B1} \dots\dots (8)$$

【0080】各々の式と $(1/2)$ との交点の $Z$ 座標は、 $Z_A$ 、 $Z_B$ によって表される。仮に、 $1 < Z_A < 2$ であり、 $3 < Z_B < 4$ であるとする、 $\nu$ MOSインバータ回路1000は入力状態数が1と2との間、または、3と4との間のどちらか一方にしきい値を持つように設定される。

【0081】【実施の形態5：しきい値の調整方法とし

ンジスタQ2との電気的特性に依存し、図14ではフローティングゲート電位 $V_{fg}$ が $V_{dd}/2$ の時に $\nu$ MOSインバータINVの出力電位が $V_{dd}/2$ になると仮定している。図10のスイッチSW1が接統状態であり、強誘電体容量 $C_p$ の端子P1に $Q_{A1}$ または $Q_{B1}$ の電荷が保持されている場合、容量 $C_v$ にも同電荷量が保持されるため、各々の保持電荷量について次式が成り立つ。

【0074】

【数5】

は、各入力変数の重みを、文献8(青山一生、澤田宏、名古屋彰、ニューロンMOSによる論理関数回路の一設計手法、第13回回路とシステム(軽井沢ワークショップ)2000年)に示される入力ベクトルの識別方法を適用することにより実現可能である。例として、 $(1 \leq i \leq k)$ の整数 $i$ について、 $i$ 番目の入力変数用端子とフローティングゲートFGとの間の容量値を $C \cdot 2^{i-1}$ に設定する方法がある。

【0078】本実施の形態では簡単化のために、対称関数の場合について説明をする。図15は、 $\nu$ MOSインバータ回路1000における入力状態数と規格化フローティングゲート電位との関係を表す図である。今、 $(V_i/V_{dd}) = X_i$ とし、 $\sum X_i = X_1 + X_2 + \dots\dots + X_k = Z$ 、 $V_{fg} = V_{dd} = U_{fg}$ とする。 $X_i$ は入力変数の論理値に相当する。前述の $U_{fg}$ を規格化フローティングゲート電位と呼ぶ。また、 $Q_{A1} = (k \cdot C \cdot V_{dd}) = U_{A1}$ 、 $Q_{B1} = (k \cdot C \cdot V_{dd}) = U_{B1}$ とする。この時、式(5)と式(6)とは次式に変更される。

【0079】

【数6】

きい値調整が可能な $\nu$ MOSインバータ回路の回路構成)図16は、固定電位を供給する端子を付加した $\nu$ MOSインバータ回路を表す図である。この $\nu$ MOSインバータ回路1600は図10に示した $\nu$ MOSインバータ回路1000と同様に、入力変数用端子 $input1[1] \sim input1[k]$ を持ち、制御変数用端子 $input2$ を持ち、しきい値を不揮発的に保持する強誘電体容量 $C_p$ を含む

しきい値データ保持回路HLDを持つ。回路1600が回路1000と異なる点は、固定電位に接続された端子を有するところにある。具体的には、電源電位Vddに接続された端子Pvdd及び、グランド電位に接続された端子Pgndを有する。固定電位として電源電位とグランド電位を挙げたが、他の電位であってもしきい値の調整に対して同様の効果を得ることができる。

【0082】次に、付加した端子Pvdd、Pgndの効果の説明する。図17は、図16の回路1600における

$$V_{fg} = \frac{C \sum_{i=1}^k V_i + C_{vdd} \cdot V_{dd}}{C'_{sum}} + \frac{Q_{A1}}{C'_{sum}} \dots\dots (9)$$

$$V_{fg} = \frac{C \sum_{i=1}^k V_i + C_{vdd} \cdot V_{dd}}{C'_{sum}} + \frac{Q_{B1}}{C'_{sum}} \dots\dots (10)$$

【0084】式(9)、式(6)を電源電位によって規格化すると次式となる。

$$U_{fg} = \left( \frac{C}{C'_{sum}} \right) \cdot Z + U_{vdd} + U'_{A1} \dots\dots (11)$$

$$U_{fg} = \left( \frac{C}{C'_{sum}} \right) \cdot Z + U_{vdd} + U'_{B1} \dots\dots (12)$$

【0086】ここで、入力状態数Zの定義は前記と同じであり、 $U_{vdd} = (C_{vdd} / C'_{sum})$ であり、 $U'_{A1} = Q_{A1} = (V_{dd} \cdot C'_{sum})$ 、 $U'_{B1} = Q_{B1} = (V_{dd} \cdot C'_{sum})$ である。 $C_{vdd}$ は、式(11)と式(12)との $C'_{sum}$ と $(U_{dd} + U'_{A1})$ または $(U_{dd} + U'_{B1})$ に寄与し、一方、 $C_{gnd}$ は $C'_{sum}$ と $U'_{A1}$ または $U'_{B1}$ に寄与する。前記2つの容量値は、図17中の直線lineAまたはlineBの傾きと $U_{fg}$ 軸との切片を変えることができる。このように、固定電位に接続された端子を用いることによって、 $U_{fg} = 1/2$ との交点のZ座標であるしきい値 $Z'_A$ または $Z'_B$ を任意のZの値に設定することが可能となる。

【0087】【しきい値データ保持回路の回路構成】図18は、図16中のしきい値データ保持回路HLDの具体的な回路を表す図である。図16中のスイッチSW2とスイッチSW1とを各々トランスミッションゲートTG1とTG2とで置き換えた回路構成である。端子ct13はトランスミッションゲートTG1とTG2との接続または遮断を制御するスイッチ制御信号入力端子である。端子ct13から入力された信号はインバータ回路inv2によって論理反転される。端子ct13から入力される信号が論理値「1」である時、トランスミッションゲートTG2は接続状態であり、トランスミッションゲートTG1は遮断状態となる。逆に、信号が論理値「0」の場合はトランスミッションゲートTG2が遮断され、トランスミッションゲートTG1が接続され、残留分極による電荷量が強誘電体容量Cpに保持される。

入力状態数Zと規格化フローティングゲート電位 $V_{fg} / V_{dd} = U_{fg}$ との関係を表す図である。図16の端子PvdとフローティングゲートFGとの間の容量値を $C_{vdd}$ とし、端子Pgndとフローティングゲートとの間FGの容量値を $C_{gnd}$ とする。この時、 $C'_{sum} = k \cdot C + C_{vdd} + C_{gnd}$ とすると、前記の式(5)と式(6)と同じ式は、各々式(9)と式(10)となる。

【0083】

【数7】

【0085】

【数8】

【0088】【実施の形態6】実施の形態6では、設定可能な複数のしきい値の中から1つのしきい値を選択し、不揮発的に保持を行うことが可能な回路構成について説明する。実施の形態5では設定可能な2つのしきい値の中から1つのしきい値を選択していた。これに対し、実施の形態6では、設定可能なしきい値の数を2よりも大きくしている。

【0089】図19は、複数の設定可能なしきい値の中から選択された1つのしきい値を不揮発的に保持可能なk入力変数の $\nu$ MOSインバータ回路の構成図である。この $\nu$ MOSインバータ回路1900は、図16の $\nu$ MOSインバータ回路1600に、同回路中のしきい値データ保持回路HLDを複数付加した回路構成である。今、図19の回路1900中にしきい値データ保持回路HLDがm個あるとする。しきい値データ保持回路HLD<sub>1</sub>～HLD<sub>m</sub>に保持される2つの電荷量 $Q'_{A1}$ 及び $Q'_{B1}$ が全てのしきい値データ保持回路HLD<sub>1</sub>～HLD<sub>m</sub>において各々等しいとする。即ち、保持される電荷量の総電荷量として、 $(m \cdot Q'_{B1})$ から $(m \cdot Q'_{A1})$ までの $(m+1)$ 通りの総電荷量を保持することができる。

【0090】図20は、図19の $\nu$ MOSインバータ回路1900における入力状態数Zと規格化フローティングゲート電位 $U_{fg}$ との関係を表す図である。図20中のline[m]は総電荷量が $(m \cdot Q'_{A1})$ の場合の $U_{fg}$ とZの関係を表しており、line[m-1]は、 $((m-1) \cdot Q'_{A1} + Q'_{B1})$ を表し、line[m-2]も同様

であり、line [2] は  $(2 \cdot Q'_{A1} + (m-2) \cdot Q'_{B1})$  を表しており、line [1]、line [0] も同様である。

【0091】この時、line [m]、line [m-1]、line [m-2]、・・・、line [2]、line [1]、line [0] の各々は、 $U_{fg} = (1/2)$  と交わり、その交点のZ座標は各々、 $Z_m$ 、 $Z_{m-1}$ 、 $Z_{m-2}$ 、・・・、 $Z_2$ 、 $Z_1$ 、 $Z_0$  となる。これらの値の全てが互いに重なることなく、ある整数ZとZ+1との間の値になる時、 $\nu$ MOSインバータ回路1900は設定可能なしきい値を(m+1)通り有する。

【0092】また、図19のスイッチSW2<sub>1</sub>～SW2<sub>m</sub>が接続状態であり、スイッチSW1<sub>1</sub>～SW1<sub>m</sub>が遮断状態である初期化時に制御変数用端子input2 [1]～input2 [m] までのm個の端子から入力される電位に応じて、(m+1)個の設定可能なしきい値の中から1つのしきい値が選択され、スイッチSW2<sub>1</sub>～SW2<sub>m</sub>が遮断状態であり、スイッチSW1<sub>1</sub>～SW1<sub>m</sub>が接続状態である時に前記選択された1つのしきい値が不揮発的に保持される。

【0093】(実施の形態7：関数機能再構成可能集積回路)図21は、しきい値を不揮発的に保持可能な2入力変数の可変しきい値しきい素子回路を多段構成で用いた任意の2入力変数対称関数を実現可能な関数機能再構成可能集積回路(2入力変数可変関数回路)の構成を表す図である。この2入力変数可変関数回路2100は、入力変数用端子input1 [1]とinput1 [2]を持ち、図16に示した $\nu$ MOSインバータ回路1600と同じ回路構成を有するFTE [1]、FTE [2]、FTE [3]を持ち、FTE [1]、FTE [2]、FTE [3]に初期化時に入力される制御変数用の端子としてinput2 [1]、input2 [2]、input2 [3]を持ち、FTE [1]、FTE [2]、FTE [3]におけるしきい値データ保持回路HLD<sub>1</sub>、HLD<sub>2</sub>、HLD<sub>3</sub>の初期化時(しきい値設定期間)と関数実行時(しきい値保持期間)とを切替える制御端子ctl1を持つ。

【0094】なお、 $\nu$ MOSインバータ回路2100はFTE [1]、FTE [2]、FTE [3]の後段にバッファ回路BF [1]、BF [2]、BF [3]を持つ。バッファ回路BF [1]、BF [2]、BF [3]によって、FTE [1]、FTE [2]、FTE [3]の出力電位は増幅と波形整形とが行われる。入力変数用端子input1 [1]、input1 [2]については、フローティングゲートFG [S]と容量結合する端子の前に遅延時間制御回路DEL [1]、DEL [2]を持つ。

【0095】遅延時間制御回路DEL [1]、DEL [2]を有することによって、入力変数用端子input1 [1]、input1 [2]からフローティングゲートFG [S]と容量結合する端子に入力される信号と、FTE [1]、FTE [2]、FTE [3]とバッファ回路

BF [1]、BF [2]、BF [3]とを経てフローティングゲートFG [S]と容量結合する端子に入力される信号との信号遅延時間の差を小さくすることが可能となる。信号遅延時間差を小さくすることによって、多入力組合せ回路において同時に複数の信号が変化する際に発生するハザードを回避することができる。

【0096】input1 [1]、input1 [2]からの入力変数とFTE [1]、FTE [2]、FTE [3]からの出力信号とが、フローティングゲートFG [S]に常勝電体容量によって容量結合する端子に入力される。フローティングゲートFG [S]の後段には、フローティングゲートFG [S]を入力ゲートとする $\nu$ MOSインバータINV [S]があり、この $\nu$ MOSインバータ回路INV [S]の出力は、後段のバッファ回路BF [S]を経て出力される。

【0097】(動作)FTE [1]、FTE [2]、FTE [3]において、しきい値データ保持回路はHLD<sub>1</sub>～HLD<sub>m</sub>は先に説明した初期設定方法によって、 $Q'_{A1}$ と $Q'_{B1}$ とのいずれか一方の電荷量またはそれに類する電荷量を保持している。また、先に説明したしきい値調整のための回路構成と方法によって、FTE [1]のしきい値は、入力状態数Zが $Z < 0$ の領域、または $0 < Z < 1$ の領域のいずれか一方に設定され、FTE [2]のしきい値は、 $0 < Z < 1$ 、または、 $1 < Z < 2$ のいずれか一方の領域に設定され、FTE [3]のしきい値は、 $1 < Z < 2$ 、または、 $Z > 2$ のいずれか一方の領域に設定されている。

【0098】また、FTE [1]、FTE [2]、FTE [3]において、入力変数用端子input1 [1]、input1 [2]とフローティングゲートFG [1]、FG [2]、FG [3]との間の常勝電体容量の容量値は互いに全て等しく、また、フローティングゲートFG [S]に容量結合されている常勝電体容量の容量値も互いに全て等しいとする。

【0099】図22は、図21に示した2入力変数可変関数回路2100を論理記述した典型的な可変しきい値しきい素子回路網を表す図である。図22の可変しきい値しきい素子回路FTE [1]、FTE [2]、FTE [3]は全て否定出力型の回路であるとする。即ち、入力変数と重み係数との積和がしきい値よりも大きい場合は論理値「0」を、小さい場合は論理値「1」を出力する。また、入力変数に対する重み係数は簡単化のために1とした。

【0100】図22のFTE [1]は制御変数用端子input2 [1]から入力される信号によって、-0.5または+0.5のいずれか一方のしきい値を選択保持でき、FTE [2]は制御変数用端子input2 [2]から入力される信号によって、0.5または+1.5のいずれか一方のしきい値を選択保持でき、FTE [3]は制御変数用端子input2 [3]から入力される信号によって、1.



5または2.5のいずれか一方のしきい値を選択保持でき、STEのしきい値は2.5に設定されている。

【0101】また、FTE {1}、FTE {2}、FTE {3}のしきい値として、初期設定時に制御変数用端子input2 {1}、input2 {2}、input2 {3}から論理値「1」が入力された場合に大きい値が、論理値「0」が入力された場合に小さい値が選択される。

【0102】今、FTE {1}、FTE {2}、FTE {3}のしきい値として、各々0.5、0.5、2.5が選択保持されたとする。入力状態数0に対して、FTE {1}、FTE {2}、FTE {3}の出力は論理値「1」、「1」、「1」であり、STEの入力の積和値は3であり、出力は論理値「0」となる。入力状態数1に対して、FTE {1}、FTE {2}、FTE {3}の出力は論理値「0」、「0」、「1」であり、STEの入力の積和値は2であり、出力は論理値「1」となる。入力状態数2に対して、FTE {1}、FTE {2}、FTE {3}の出力は論理値「0」、「0」、「1」であり、STEの入力の積和値は3であり、出力は論理値「0」となる。

【0103】このように、制御変数用端子input2 {1}、input2 {2}、input2 {3}から入力する信号を論理値「1」、「0」、「1」とすることによって、XOR (Exclusive-OR)を実現することができる。前記と同様に、制御変数用端子input2 {1}、input2 {2}、input2 {3}から入力する信号の論理値が、(0, 0, 0)の場合は関数1を、(1, 0, 0)の場合はORを、(0, 1, 0)の場合はXNORを、(1, 1, 0)の場合はANDを、(0, 0, 1)の場合はNANDを、(0, 1, 1)の場合はNORを、(1, 1, 1)の場合は関数0を実現することができる。

【0104】以上説明したように、この2入力変数可変関数回路2100では、FTE {1}、{2}、{3}に保持される制御変数値に対応する電荷量によって、任意の対称関数を実現することが可能になる。この関数は、しきい値データ保持回路HLD<sub>i</sub> ~ HLD<sub>m</sub>に強誘電体容量C<sub>p</sub>を使用しているので、不揮発的に保持される。これにより、経時的誤動作の問題が解消され、長期間安定して2入力変数可変関数回路2100を使用することができる。

【0105】なお、この実施の形態7では、入力変数を2つとしたが、任意の自然数kに対しても同様に構成することができる。また、任意の論理関数については、重み係数の値を変更し、2段論理回路の1段目のFTEの数を適宜増加させることによって、実現することができる。

【0106】

【発明の効果】以上説明したことから明かなように、本発明の可変しきい値しきい素子回路によれば、強誘電

体容量と常誘電体容量との直列接続回路を介して、しきい値を制御する制御変数を伝搬する1以上の制御変数用端子をしきい素子のゲート電極に結合したので、強誘電体容量に不揮発的に保持される電荷量によってしきい値を不揮発的に保持させ、経時的誤動作の問題を解消することが可能となる。

【0107】また、本発明の可変しきい値しきい素子回路を用いて関数機能再構成可能集積回路を構成することにより、関数の再構成を高速に行え、また、その関数を不揮発的に保持することができ、安定して長期、間関数機能再構成可能集積回路を使用することができるようになる。

【0108】関数機能再構成可能集積回路の適用領域は、特定用途LSIのプロトタイプとしてだけでなく、製造後であっても関数機能を入出力信号に応じて適応的に変化させる進化型ハードウェアや、システムが動作中であっても関数機能を切替え、ハードウェア資源を高効率に使用することが可能なりコンフィギュラブルコンピュータシステムへの応用など幅広い応用分野がある。このように、システムが動作中に動的に関数機能を変えたり、入出力信号に適応して関数を変化させたりする場合には、できるだけ高速に関数機能の書き換えが行われることが望ましい。また、一度記憶した関数機能は消去または、書き込み命令を受けるまでは保持することが可能であり、電源を切った後であっても状態保持が可能であることが望ましい。本発明の関数機能再構成可能集積回路では、このような要望に応えることができる。

【図面の簡単な説明】

【図1】 強誘電体メモリに用いられている強誘電体容量を表す回路図である。

【図2】 強誘電体容量の端子間に電圧Vが印加された時の電圧Vと電荷量Qの関係を表す図である。

【図3】 文献5に開示されているMFMI S型の強誘電体容量を持つ電界効果トランジスタを表す回路図である。

【図4】 文献6に開示されているMFMI S型の強誘電体容量を持つ電界効果トランジスタを表す回路図である。

【図5】 文献7に開示されているMFMI S型の強誘電体容量を持つ電界効果トランジスタを表す回路図である。

【図6】 本発明の実施の形態で用いるMFMI S型電界効果トランジスタを表す回路図である。

【図7】 本発明の可変しきい値しきい素子回路の一実施の形態を示す容量結合入力型電界効果トランジスタの回路図である。

【図8】 この容量結合入力型電界効果トランジスタを用いた $\gamma$ MOSインバータ回路の基本構成を示す回路構成図である。

【図 9】 スイッチを有する容量結合入力型電界効果トランジスタの回路図である。

【図 10】 このスイッチを有する容量結合入力型電界効果トランジスタを用いた  $\nu$ MOS インバータ回路の基本構成を示す回路構成図である。

【図 11】 図 10 に示した  $\nu$ MOS インバータ回路においてしきい処理を行う非線形回路の他の構成例を示す回路図である。

【図 12】 図 10 に示した  $\nu$ MOS インバータ回路においてしきい処理を行う非線形回路の他の構成例を示す回路図である。

【図 13】 強誘電体容量の一方側の端子に現れる電荷量  $Q_{fe}$  と強誘電体容量を挟む両端の電圧 ( $V_{fe1} - V_{fe2}$ ) との関係を表す図である。

【図 14】 図 10 に示した  $\nu$ MOS インバータ回路におけるフローティングゲートの電位  $V_{fg}$  と入力変数端子に入力される電位  $V_i$  と容量値  $C_i$  との積和との関係を表す図である。

【図 15】 図 10 に示した  $\nu$ MOS インバータ回路における入力状態数  $Z$  と規格化フローティングゲート電位との関係を表す図である。

【図 16】 固定電位を供給する端子を付加した  $\nu$ MOS インバータ回路を表す図である。

【図 17】 図 16 に示した  $\nu$ MOS インバータ回路における入力状態数  $Z$  と規格化フローティングゲート電位  $U_{fg}$  との関係を表す図である。

【図 18】 しきい値データ保持回路の具体的な回路を表す図である。

【図 19】 複数の設定可能なしきい値の中から選択された 1 つのしきい値を不揮発的に保持可能な  $k$  入力変数の  $\nu$ MOS インバータ回路の構成図である。

【図 20】 図 19 に示した  $\nu$ MOS インバータ回路における入力状態数  $Z$  と規格化フローティングゲート電位  $U_{fg}$  との関係を表す図である。

【図 21】 しきい値を不揮発的に保持可能な 2 入力変数の可変しきい値しきい素子回路を多段構成で用いた任意の 2 入力変数対称関数を実現可能な関数機能再構成可能集積回路 (2 入力変数可変関数回路) の構成を表す図

である。

【図 22】 この 2 入力変数可変関数回路を論理記述した典型的なしきい素子回路網を表す図である。

【図 23】 従来のしきい値可変機能を備えた  $k$  入力変数の  $\nu$ MOS インバータ回路を示す回路図である。

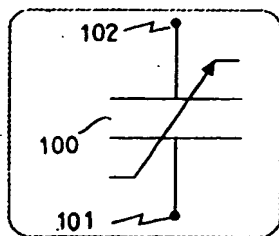
【図 24】 従来の回路状態保持機能を備えた  $k$  入力変数の  $\nu$ MOS インバータ回路の代表的な回路構成を示す図である。

【図 25】 図 24 に示した  $\nu$ MOS インバータ回路を用いた関数機能再構成可能集積回路の一例 (2 入力変数可変関数回路) を示す図である。

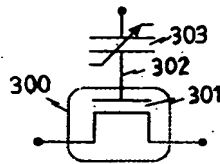
【符号の説明】

700…容量結合入力型電界効果トランジスタ、701…電界効果トランジスタ、input1[1]…input1[k]…入力変数用端子、input2[1]…input2[m]…制御変数用端子、702…ゲート電極、703<sub>1</sub>…703<sub>k</sub>…常誘電体容量、704<sub>1</sub>…704<sub>m</sub>…しきい値データ保持回路、705<sub>1</sub>…705<sub>m</sub>…常誘電体容量、706<sub>1</sub>…706<sub>m</sub>…強誘電体容量、800… $\nu$ MOS インバータ回路、HLD<sub>1</sub>…HLD<sub>m</sub>…しきい値データ保持回路、C<sub>1</sub>…C<sub>k</sub>、C<sub>v1</sub>…C<sub>vm</sub>…常誘電体容量、C<sub>p1</sub>…C<sub>pm</sub>…強誘電体容量、FG…フローティングゲート、INV… $\nu$ MOS インバータ、Q1…p チャネル電界効果トランジスタ、Q2…n チャネル電界効果トランジスタ、900… $\nu$ MOS インバータ回路、901…電界効果トランジスタ、902…ゲート電極、903<sub>1</sub>…903<sub>k</sub>…常誘電体容量、904<sub>1</sub>…904<sub>m</sub>…しきい値データ保持回路、905<sub>1</sub>…905<sub>m</sub>…常誘電体容量、906<sub>1</sub>…906<sub>m</sub>…強誘電体容量、907<sub>1</sub>…907<sub>m</sub>…第 2 のスイッチ、908<sub>1</sub>…908<sub>m</sub>…第 1 のスイッチ、2100…2 入力変数可変関数回路、ctl1, ctl2…状態制御端子、FTE[1]…FTE[3]…1 段目の  $\nu$ MOS インバータ回路、STE…2 段目の  $\nu$ MOS インバータ回路、FG[1]…FG[3]、FG[S]…フローティングゲート、BF[1]…BF[3]、BF[S]…バッファ回路、DEL[1]…DEL[2]…遅延制御回路、INV[1]…INV[3]、INV[S]… $\nu$ MOS インバータ。

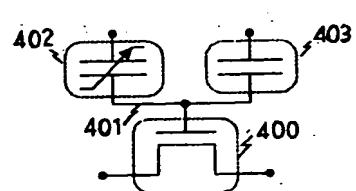
【図 1】



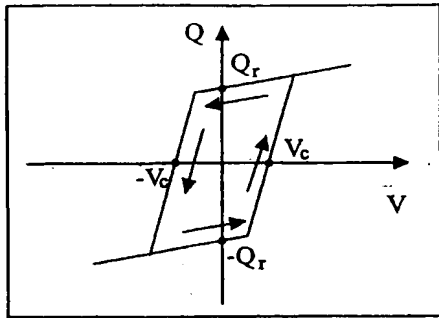
【図 3】



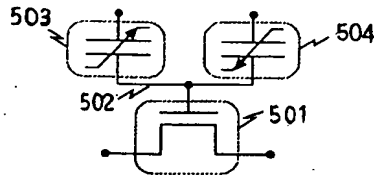
【図 4】



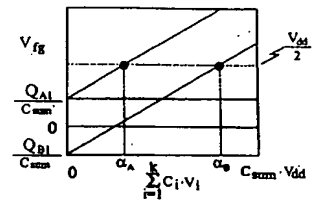
【図 2】



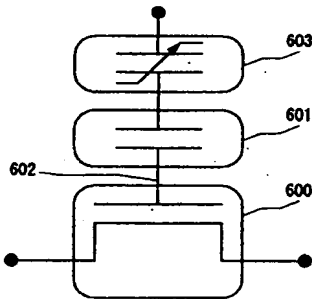
【図 5】



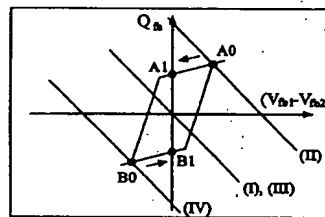
【図 14】



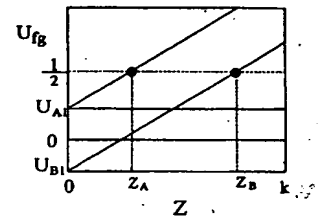
【図 6】



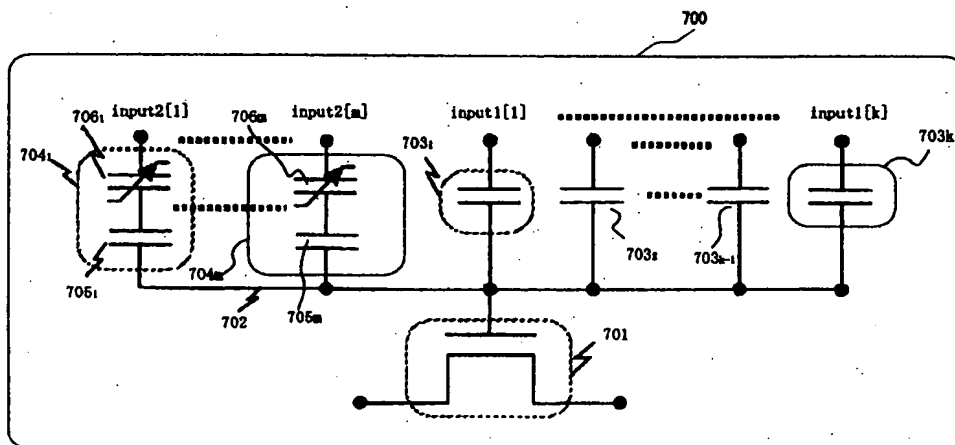
【図 13】



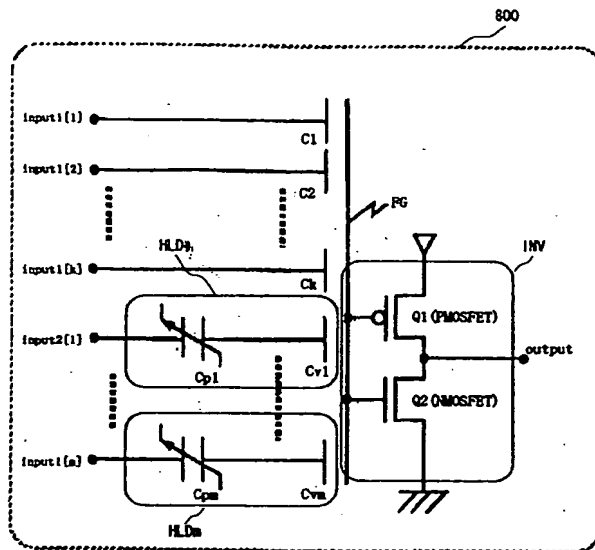
【図 15】



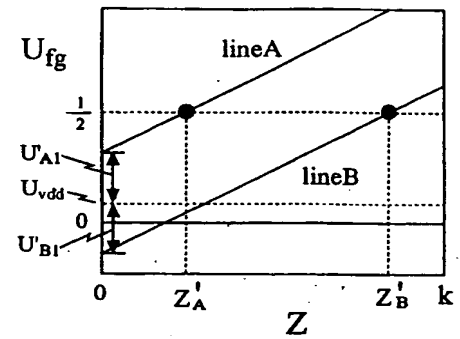
【図 7】



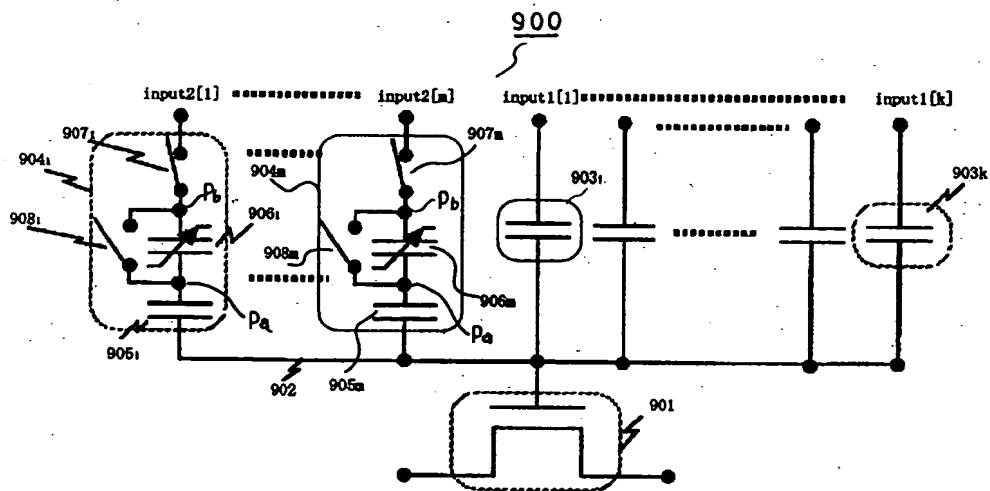
【図 8】



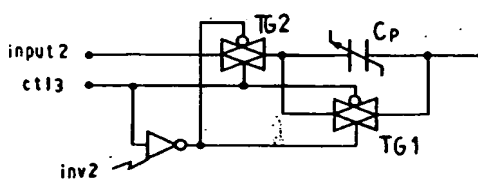
【図 17】



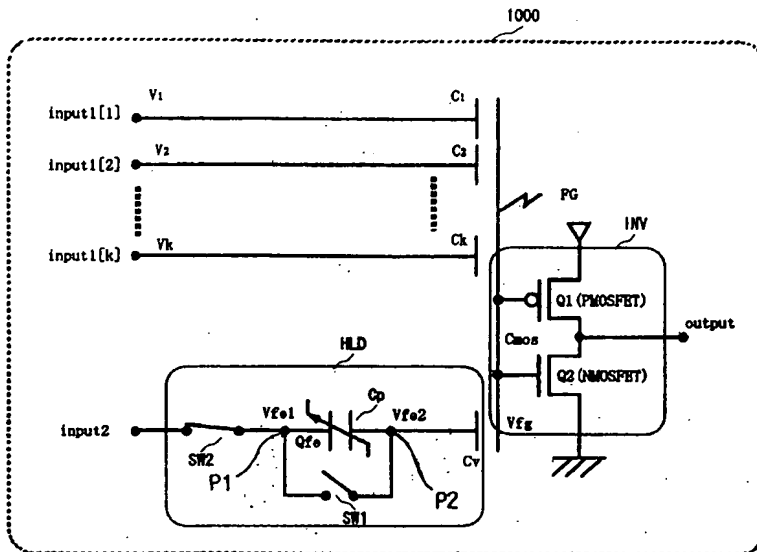
【図 9】



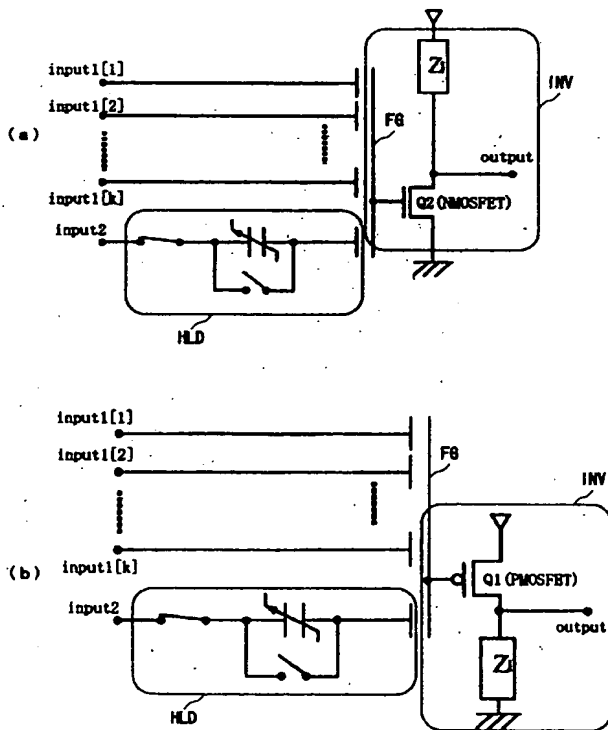
【図 18】



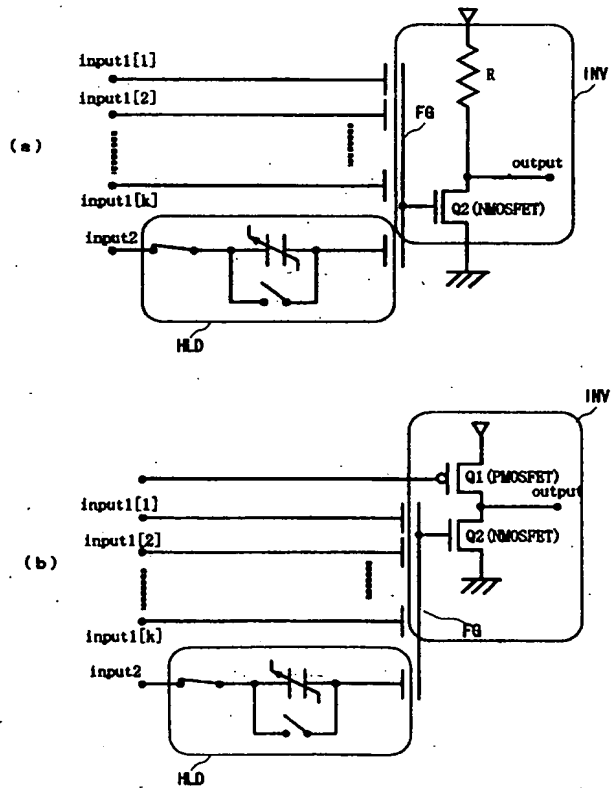
【図 10】



【図 11】

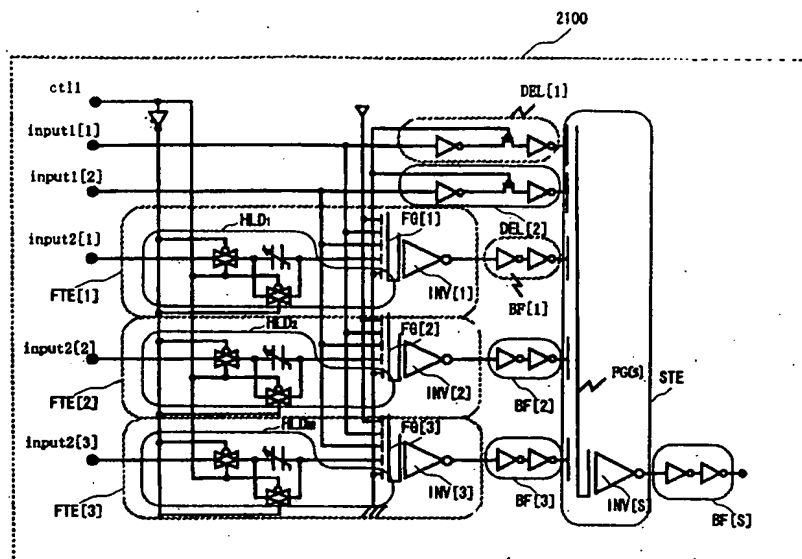


【図 12】

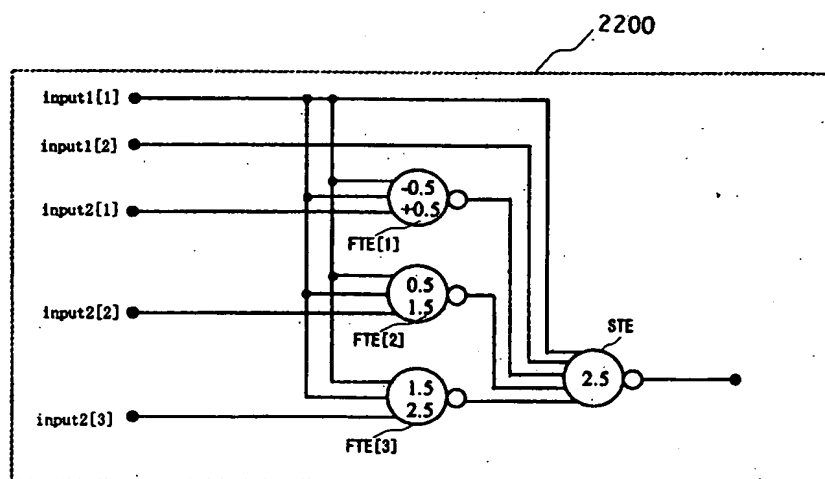


[illegible]

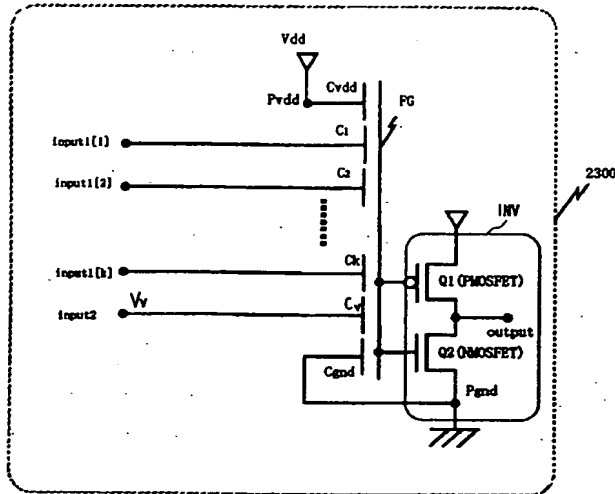
【図 21】



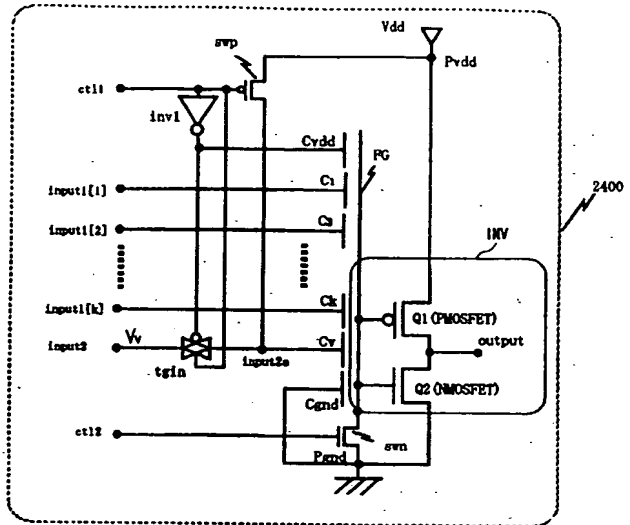
【図 22】



【図 23】



【図 24】



【図 25】

